

for IDS

1/1 PLUSPAT - (C) QUESTEL-ORBIT- image

PN - JP6274240 A 19940930 [JP06274240]

TI - (A) CLOCK SIGNAL SUPPLYING CIRCUIT

PA - (A) YOKOGAWA ELECTRIC CORP

PA0 - (A) YOKOGAWA ELECTRIC CORP

IN - (A) SAITO YOJI; HORIO YASUAKI

AP - JP6392793 19930323 [\*\*\*1993JP-0063927\*\*\*]

PR - JP6392793 19930323 [1993JP-0063927]

STG - (A) Doc. Laid open to publ. Inspec.

AB - PURPOSE: To safely supply a clock signal to a processor even when abnormality is generated in the operation of an oscillation circuit by automatically switching a main oscillation circuit to a sub-oscillation circuit when abnormality is generated in the main oscillation circuit.

- CONSTITUTION: A frequency signal  $f(\text{sub } 1)$  outputted from the output terminal of an oscillation circuit 12 is impressed to a frequency/voltage conversion circuit 13 and converted into the 1st voltage  $V(\text{sub } 1)$ . The 1st voltage  $V(\text{sub } 1)$  and reference voltage  $ES(\text{sub } 1)$  are respectively applied to the non-inverted input terminal (+) and inverted input terminal (-) of a comparator 14, which judges the levels of both the input voltages and outputs a level signal  $VL(\text{sub } 1)$  to its output terminal. The level signal  $VL(\text{sub } 1)$  is level-inverted by an inverter INV 2 and impressed to the control input terminal T of an oscillation circuit 15, which automatically oscillates a frequency signal  $f$  in its oscillation state. A switching circuit 16 switches the frequency signal  $f(\text{sub } 1)$ ,  $f(\text{sub } 2)$  in accordance with the polarity of the level signal  $VL(\text{sub } 1)$  and impresses a clock signal  $f$  to the clock terminal of a processor. A reset circuit 17 outputs a reset signal VR in accordance with the polarity of the level signal  $VL(\text{sub } 1)$ .

- COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-274240

(43)公開日 平成6年(1994)9月30日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/06				
		A 7165-5B		
		Z 8321-5J		
H 0 3 B 5/32		7165-5B		
			G 0 6 F 1/ 04	3 1 0 A

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21)出願番号 特願平5-63927

(22)出願日 平成5年(1993)3月23日

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72)発明者 齋藤 洋二

東京都武蔵野市中町2丁目9番32号 横河

電機株式会社内

(72)発明者 堀尾 康明

東京都武蔵野市中町2丁目9番32号 横河

電機株式会社内

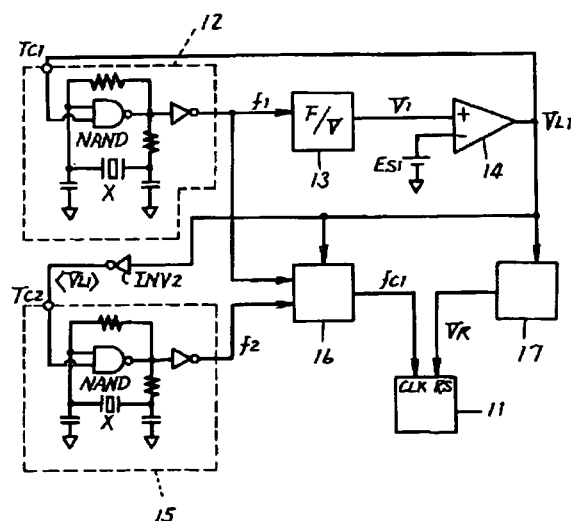
(74)代理人 弁理士 小沢 信助

(54)【発明の名称】 クロック信号供給回路

(57)【要約】

【目的】 何らかの事故により発振回路の動作に異常が生じた場合にも安全にクロック信号をプロセッサに供給できるように改良したクロック信号供給回路を提供するにある。

【構成】 レベル信号に対応して第1周波数で自励発振する第1発振回路と、この第1周波数をこれに対応する第1電圧に変換する周波数／電圧変換回路と、所定の基準電圧が入力の一端に他端に先の第1電圧が印加されてこれ等の大小を比較して先のレベル信号として出力する比較手段と、先のレベル信号を反転した反転レベル信号を出力するレベル反転手段と、先の反転レベル信号に対応して先の第1周波数と同等の第2周波数で自励発振する第2発振回路と、先のレベル信号により先の第1周波数と第2周波数とを切り換えてプロセッサのクロック端子にクロック信号として印加する切換回路と、先のレベル信号が入力され先のプロセッサのリセット端子にリセット信号を印加するリセット回路とを具備し、先のレベル信号の極性により先の第1発振回路と第2発振回路とを切り換えるようにしたものである。



## 【特許請求の範囲】

【請求項1】 レベル信号に対応して第1周波数で自励発振する第1発振回路と、この第1周波数をこれに対応する第1電圧に変換する周波数／電圧変換回路と、所定の基準電圧が入力の一端に他端に前記第1電圧が印加されてこれ等の大小を比較して前記レベル信号として出力する比較手段と、前記レベル信号を反転した反転レベル信号を出力するレベル反転手段と、前記反転レベル信号に対応して前記第1周波数と同等の第2周波数で自励発振する第2発振回路と、前記レベル信号により前記第1周波数と第2周波数とを切り換えてプロセッサのクロック端子にクロック信号として印加する切換回路と、前記レベル信号が入力され前記プロセッサのリセット端子にリセット信号を印加するリセット回路とを具備し、前記レベル信号の極性により前記第1発振回路と第2発振回路とを切り換えることを特徴とするクロック信号供給回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、マイクロコンピュータ搭載の電気機器のプロセッサにクロック信号を供給するクロック信号供給回路に係り、特に、何らかの事故により発振回路の動作に異常が生じた場合にも安全にクロック信号をプロセッサに供給できるように改良したクロック信号供給回路に関する。

## 【0002】

【従来の技術】 図3は従来のクロック信号供給回路の構成を示す構成図である。10は発振回路であり、一定周波数の周波数信号 $f_1$ をクロック信号としてマイクロコンピュータ搭載（図示せず）の電気機器のプロセッサ11のクロック端子CLKに印加している。

【0003】 そして、一般に、安定な周波数信号 $f_1$ を供給するために発振回路10にはクリスタル或いはセラミックスなどからなる振動子Xが採用され、インバータINV1の帰還回路に挿入され、自励発振により周波数信号を得ている。

## 【0004】

【発明が解決しようとする課題】 しかしながら、以上のようなクロック信号供給回路では、例えば振動子Xに異常が生じると発振回路10が動作不良になり、1個の部品不良によりプロセッサ11の動作不良、更にはマイクロコンピュータ搭載の電気機器全体に及ぶ重大な事故になるという問題がある。

## 【0005】

【課題を解決するための手段】 本発明は、以上の課題を解決するための構成として、レベル信号に対応して第1周波数で自励発振する第1発振回路と、この第1周波数をこれに対応する第1電圧に変換する周波数／電圧変換回路と、所定の基準電圧が入力の一端に他端に先の第1電圧が印加されてこれ等の大小を比較して先のレベル信

号として出力する比較手段と、先のレベル信号を反転した反転レベル信号を出力するレベル反転手段と、先の反転レベル信号に対応して先の第1周波数と同等の第2周波数で自励発振する第2発振回路と、先のレベル信号により先の第1周波数と第2周波数とを切り換えてプロセッサのクロック端子にクロック信号として印加する切換回路と、先のレベル信号が入力され先のプロセッサのリセット端子にリセット信号を印加するリセット回路とを具備し、先のレベル信号の極性により先の第1発振回路と第2発振回路とを切り換えるようにしたものである。

## 【0006】

【作 用】 第1発振回路はレベル信号に対応して第1周波数で自励発振する。周波数／電圧変換回路はこの第1周波数をこれに対応する第1電圧に変換する。比較手段は所定の基準電圧が入力の一端に他端に先の第1電圧が印加されてこれ等の大小を比較して先のレベル信号として出力する。

【0007】 レベル反転手段は先のレベル信号を反転した反転レベル信号を出力する。第2発振回路は先の反転レベル信号に対応して先の第1周波数と同等の第2周波数で自励発振する。

【0008】 切換回路は先のレベル信号により先の第1周波数と第2周波数とを切り換えてプロセッサのクロック端子にクロック信号として印加する。リセット回路は先のレベル信号が入力され先のプロセッサのリセット端子にリセット信号を印加する。

【0009】 そして、第1発振回路に異常が生じて第1周波数が正常範囲を越えたときは、先のレベル信号の極性が反転するので、切換回路により先の第1発振回路を第2発振回路に切り換えて、クロック信号を先のプロセッサに継続して供給する。

## 【0010】

【実施例】 以下、本発明の実施例について図を用いて説明する。図1は本発明の1実施例の構成を示すブロック図である。なお、図3に示す従来のクロック信号供給回路と同一の機能を有する部分には同一の符号を付して適宜にその説明を省略する。

【0011】 12は発振回路であるが、図3に示す発振回路10とは、発振の停止などを制御できる制御入力端 $T_{c1}$ を有している点が異なっている。発振回路10のインバータINV1の代わりにNANDゲートが用いられ、このNANDゲートの入力他端である制御入力端 $T_{c1}$ にレベル信号 $V_{L1}$ が印加されている。

【0012】 発振回路12の出力端に生じた一定周波数の周波数信号 $f_1$ は、周波数／電圧変換回路13に印加され、周波数／電圧変換回路13はこの周波数信号 $f_1$ に対応する第1電圧 $V_1$ に変換する。

【0013】 14は比較回路であり、その非反転入力端（+）には第1電圧 $V_1$ が、反転入力端（-）には基準電圧 $E_{S1}$ が印加され、比較回路14はこれ等の大小を判

断してその出力端に“High”、“Low”の2値をとるレベル信号 $V_{L1}$ を出力する。

【0014】このレベル信号 $V_{L1}$ は、インバータINV2でレベル反転されて反対極性の反転レベル信号 $\neg V_{L1}$ として発振回路15の制御入力端 $T_{c2}$ に印加される。この発振回路15は発振回路12と同じように構成され、発振状態では周波数信号 $f_2$ として自励発振をする。

【0015】16は切換回路であり、この切換回路16はレベル信号 $V_{L1}$ の極性により周波数信号 $f_1$ と周波数信号 $f_2$ とを切り換えてクロック信号 $f_{c1}$ としてプロセッサ11のクロック端子CLKに印加する。また、17はリセット回路であり、レベル信号 $V_{L1}$ の極性によりプロセッサ11のリセット端子RSにリセット信号 $V_R$ を出力する。

【0016】次に、以上のように構成された実施例の動作について説明する。レベル信号 $V_{L1}$ の極性が“High”のときは、NANDゲートは図3に示す発振回路10と同様に動作し、発振回路12の出力端に周波数信号 $f_1$ を出力する。

【0017】この周波数信号 $f_1$ は、周波数／電圧変換回路13に出力され、ここで第1電圧 $V_1$ に変換される。この第1電圧 $V_1$ は基準電圧 $E_{s1}$ と比較され、第1電圧 $V_1$ がこの基準電圧 $E_{s1}$ より大きいときは、その出力端に“High”レベルを持つレベル信号 $V_{L1}$ を出力する。したがって、この状態では発振回路12は発振を継続することができる。

【0018】しかし、発振回路15の制御入力端 $T_{c2}$ には、インバータINV2により、“Low”レベルのレベル信号 $\neg V_{L1}$ が印加されるので、発振回路15の発振は停止している。

【0019】ここで、振動子Xの不具合などにより、発振回路12の発振が停止したときは、周波数／電圧変換回路13の第1電圧 $V_1$ が基準電圧 $E_{s1}$ より低くなり、比較回路14の出力端に現れるレベル信号 $V_{L1}$ は“Low”レベルになる。

【0020】この場合に、発振回路12の制御入力端 $T_{c1}$ は“Low”レベルに固定されるので、その動作は完全に停止しするが、発振回路15は“Low”レベルに固定されていた制御入力端 $T_{c2}$ が“High”レベルになるので、発振を開始する。

【0021】一方、切換回路16は“Low”レベルのレベル信号 $V_{L1}$ により周波数信号 $f_1$ から周波数信号 $f_2$ に切り換えられ、プロセッサ11のクロック端子CLKにクロック信号として伝送する。

【0022】また、リセット回路17は同じく“Low”レベルのレベル信号 $V_{L1}$ によりプロセッサ11のリセット端子RSにリセット信号 $V_R$ を出力する。以上のようにして、一方の発振回路が停止したときにも、他の発振回路からのクロック信号を受けることにより、プロセッ

サ11は動作を継続する。

【0023】図2は本発明の他の実施例の構成を示すブロック図である。図1の実施例では発振回路12の故障により周波数信号 $f_1$ が低下したときの発振回路の切り換えについて対策をとったが、図2の実施例では逆に発振回路12の故障により周波数信号 $f_1$ が異常に高くなったときの発振回路の切り換えについても対策をとるようにしたものである。

【0024】周波数／電圧変換回路13の出力端には比較回路14の他に比較回路18とアンドゲート19を設けたものである。比較回路18の非反転入力端(+)には基準電圧 $E_{s2}$ が印加され、反転入力端(-)には第1電圧 $V_1$ がそれぞれ印加されている。この場合の基準電圧は $E_{s1} < E_{s2}$ の関係になるように設定される。

【0025】アンドゲート19の入力端には比較回路14と比較回路18の各出力が印加され、アンドゲート19はこれらの論理和を演算してその出力端にレベル信号 $V_{L2}$ を出力する。その他の構成は図1に示す構成と同一である。

【0026】次に、以上のように構成された実施例の動作について説明する。発振回路12の故障により周波数信号 $f_1$ が低下し、基準電圧 $E_{s1}$ に対応する電圧以下になったときは、比較回路14の出力は“Low”レベルになるので、レベル信号 $V_{L2}$ も“Low”レベルになり、図1の場合と同様にして発振回路15側に切り換えられる。

【0027】逆に、発振回路12の故障により周波数信号 $f_1$ が増加し、基準電圧 $E_{s2}$ に対応する電圧以上になったときは、比較回路18の出力が“Low”レベルになるので、レベル信号 $V_{L2}$ も“Low”レベルになり、図1の場合と同様にして発振回路15側に切り換えられる。

【0028】周波数信号 $f_1$ に対応する電圧 $V_1$ が $E_{s2} > V_1 > E_{s1}$ の場合は、発振回路12の周波数信号 $f_1$ が正常な範囲にあるものと判断される発振周波数の範囲であり、この場合は比較回路14、18の出力は共に“High”レベルであるので、レベル信号 $V_{L2}$ も“High”レベルを維持し、発振回路12の発振が継続される。

【0029】

【発明の効果】以上、実施例と共に具体的に説明したように本発明によれば、メインの発振回路に異常が生じたときにはサブの発振回路に自動的に切り換えられるので、信頼性の高いクロック信号供給回路を提供することができる。

【0030】さらに、一方の発振回路が動作しているときには、他方の発振回路が停止するようにしたので、回路の消費電流は従来と殆ど大差のないようにすることができる。

【図面の簡単な説明】

【図1】本発明の1実施例の構成を示すブロック図である。

【図2】図1に示す実施例の変形実施例の構成を示すブロック図である。

【図3】従来のクロック信号供給回路の構成を示すブロック図である。

【符号の説明】

10、12、15 発振回路

11 プロセッサ

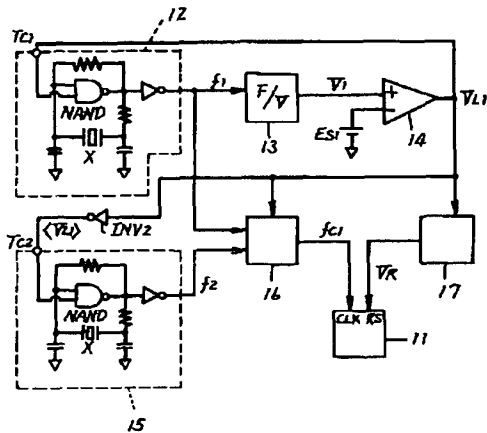
13 周波数／電圧変換回路

14、18 比較回路

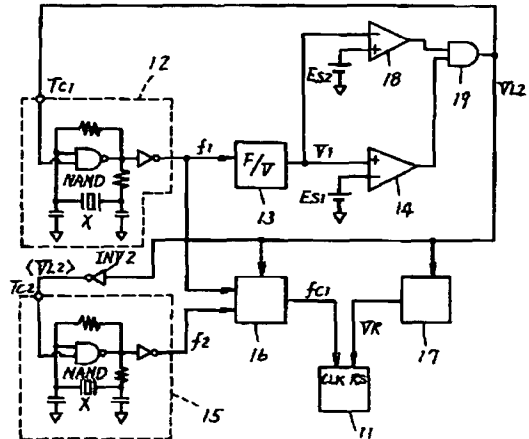
16 切換回路

05 17 リセット回路

【図1】



【図2】



【図3】

